

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07086393 A

(43) Date of publication of application: 31.03.95

(51) Int. Cl

H01L 21/76

H01L 21/316

H01L 21/318

(21) Application number: 05230686

(22) Date of filing: 17.09.93

(71) Applicant: TOSHIBA CORP

(72) Inventor: KIYOTOSHI MASAHIRO
TSUNASHIMA YOSHITAKA
OKANO HARUO

**(54) DEVICE ISOLATING METHOD OF
SEMICONDUCTOR DEVICE**

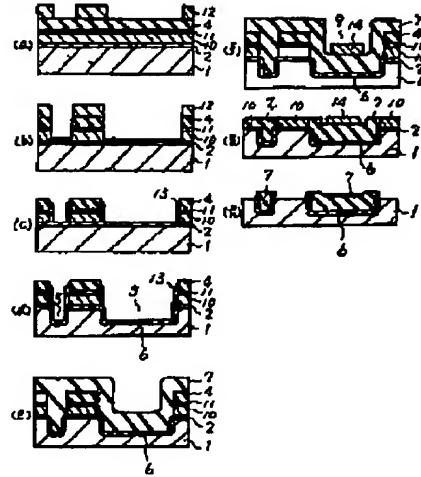
lessened in number.

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To keep not only a polishing process high in controllability but also a semiconductor device high in characteristics by a method wherein a carbon film is provided as a polishing stop layer in a polishing process wherein a buried insulating film used for isolating devices from each other is flattened.

CONSTITUTION: Carbon films 10 and 14 are made to serve as a polishing stop layer, and silicon oxide films 4 and 7 and a silicon nitride film 11 are polished with cerium oxide as abrasive material. A carbon film used as a polishing stopper can be set 20 times or above as low in polishing rate as a silicon oxide, so that polishing can be stopped at a required position. Then, silicon oxide films 4 and 7 and the silicon nitride film 11 are thermally treated for 30 minutes in an atmosphere of water vapor and oxygen at a temperature of 650°C and successively thermally treated for 30 minutes in an atmosphere of oxygen at a temperature of 1050°C. By these thermal treatments, the silicon oxide film 7 is enhanced in density, and the carbon films 10 and 14 can be removed by burning, so that processes can be



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-86393

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl.⁶

H 01 L 21/76

21/316

21/318

識別記号

庁内整理番号

F I

技術表示箇所

S 7352-4M

B 7352-4M

9169-4M

9169-4M

H 01 L 21/76

L

N

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21)出願番号 特願平5-230686

(22)出願日 平成5年(1993)9月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 清利 正弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 綱島 祥隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 岡野 晴雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

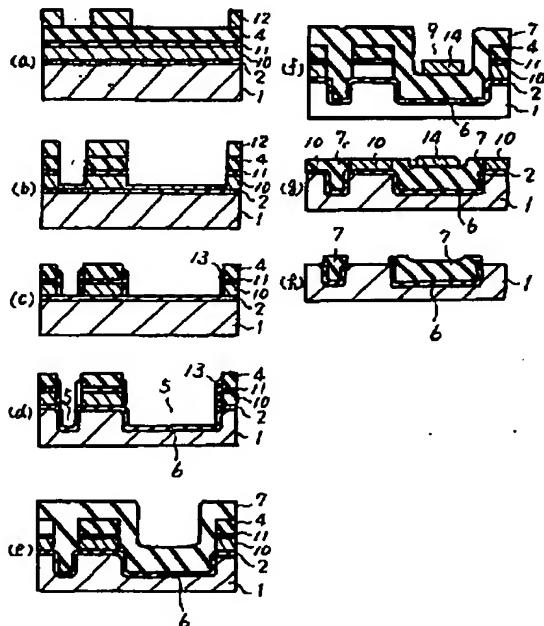
(74)代理人 弁理士 則近 慶佑

(54)【発明の名称】 半導体素子の素子分離方法

(57)【要約】

【構成】 半導体基板上に炭素膜10成膜後、素子分離領域5の溝を形成して溝内面を酸化する際、予め炭素膜10の表面に酸化防止膜、特にシリコン空化膜13を形成する。この酸化防止膜を剥離した後、酸化膜7を素子分離領域5に埋め込み、炭素膜10を研磨障壁層として研磨を行う。

【効果】 本発明では埋め込み素子分離における埋め込み絶縁膜のシリコン酸化膜を研磨して平坦化にする際、特にシリコン酸化膜7を埋め込む前に形成する研磨障壁層として研磨レートがシリコン酸化膜7より極めて小さい炭素膜10及び14を用いることで良好なエッチバックの制御性を確保し、また、研磨後の研磨障壁層の選択剥離を容易に行うことができる。従って、埋め込みシリコン酸化膜7が溝の開口部の角を囲む良好な素子分離形状を実現することができる。



1

【特許請求の範囲】

【請求項1】 半導体基板上の素子領域形成部上に炭素膜を選択的に形成するとともに、この炭素膜の露出面を耐酸化性膜で被覆する工程と、前記半導体基板に素子分離領域となる溝を形成する工程と、前記溝の内面に熱酸化膜を形成する工程と、前記炭素膜の側壁の耐酸化性膜を除去する工程と、前記溝を埋め込むように全面に埋め込み膜を形成する工程と、前記埋め込み膜を研磨により素子分離領域の溝に残存せしめる工程と、前記炭素膜を除去する工程とを有することを特徴とする半導体素子の素子分離方法。

【請求項2】 前記素子領域形成部上に炭素膜を選択的に形成するとともに、この炭素膜の露出面を耐酸化性膜で被覆する工程は、半導体基板上の全面に炭素膜を形成する工程と、この炭素膜の全面に耐酸化性膜を形成する工程と、前記炭素膜及び耐酸化性膜を素子領域形成部上に選択的に残存せしめる工程と、全面に耐酸化性膜を形成した後、異方性エッチャングにより該耐酸化性膜をエッチャングし、前記炭素膜の側壁に該耐酸化性膜を残存せしめる工程とを有することを特徴とする請求項1記載の半導体素子の素子分離方法。

【請求項3】 前記炭素膜の露出面を被覆する前記耐酸化性膜として、少なくとも硅素と窒素とを含有する膜を用いることを特徴とする請求項1記載の半導体素子の素子分離方法。

【請求項4】 前記素子分離領域に形成された溝の溝幅が $3\mu\text{m}$ 以上であり、この溝上に研磨障壁層として炭素膜をさらに選択的に形成することを特徴とする請求項1記載の半導体素子の素子分離方法。

【請求項5】 前記炭素膜を除去する工程を酸素を含有する雰囲気中で行うことを特徴とする請求項1記載の半導体素子の素子分離方法。

【請求項6】 前記酸素を含有する雰囲気には、水蒸気を含有することを特徴とする請求項5記載の半導体素子の素子分離方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体素子の製造方法に係わり、特に素子の分離方法である埋め込み素子分離方法に関するものである。

【0002】

【従来の技術】 従来の埋め込み素子分離方法における平坦化工程には、主としてレジストエッチャック法と多結晶シリコン膜を研磨障壁層として用いる研磨法がある。ここでは、多結晶シリコン膜を研磨障壁層として用いる研磨法について図4を参照して説明する。

【0003】 シリコン基板1上にシリコン熱酸化膜2を膜厚 35nm で形成する。この熱酸化膜2は、応力による界面の干渉を防いでいる。次に、LPCVDにより後述する研磨の研磨障壁層として多結晶シリコン膜3を膜

2

厚 300nm で、さらに常圧CVD法によりシリコン酸化膜4を膜厚 400nm で成膜する。

【0004】 次に、前記シリコン酸化膜4上にポジレジスト(図示せず) $1\mu\text{m}$ を塗布する。次に、周知のリソグラフィ技術により前記ポジレジストをパターニングすることにより、前記シリコン基板1の素子領域となる部分の上部にのみポジレジストを残存させる。次に、前記ポジレジストをマスクとして、前記シリコン酸化膜4を反応性イオンエッチャングによりエッチャングする。次に、強酸等で前記ポジレジストを除去する。

【0005】 次に、前記シリコン酸化膜4をマスクとして、前記多結晶シリコン膜3、シリコン熱酸化膜2、シリコン基板1を順次反応性イオンエッチャングによってエッチャングしてシリコン基板上の素子分離領域5となる部分に深さ 500nm の溝を形成する(図4(a))。次に、この溝内面にエッチャングダメージの除去および後述する埋め込み膜の界面保護のために、シリコン熱酸化膜6を 35nm の膜厚で形成する。

【0006】 その後、素子分離領域5の埋め込み膜として、例えばシリコン酸化膜7をLPCVD法により 600nm の膜厚で堆積させる(図4(b))。次に、前記シリコン酸化膜7上にLPCVD法により多結晶シリコン膜8を膜厚 200nm で成膜する。さらに、前記多結晶シリコン膜8上にポジレジスト $1\mu\text{m}$ を塗布した後、前記素子分離領域5となる溝のうち、特に溝幅が $3\mu\text{m}$ 以上の溝9内に形成されるシリコン酸化膜7上にのみ、前記ポジレジストを周知のリソグラフィ技術によりパターニングして残存せしめる。

【0007】 次に、前記ポジレジストをマスクとして、前記多結晶シリコン膜8を化学的ドライエッチャングによりエッチャングし、強酸等により前記ポジレジストを除去する(図4(c))。

【0008】 次に、二酸化セリウムを研磨剤とし、多結晶シリコン膜8をポリッキングを停止させる膜(研磨障壁層)として用い、前記シリコン酸化膜7及びシリコン酸化膜4を研磨してエッチャックを行う(図4(d))。また、残留している研磨剤は、強酸等により除去する。

【0009】 次に、 650°C の酸素と水蒸気を含む雰囲気中で 30 分間の熱処理を行い、さらに 1050°C の窒素雰囲気中で 30 分間の熱処理を行うことにより、シリコン酸化膜7を緻密化させる。その後、前記多結晶シリコン膜3及び8を化学的ドライエッチャングにより除去する。最後に、前記シリコン熱酸化膜を弗化アンモニウム水溶液中で除去して、素子分離領域を完成する(図4(e))。

【0010】

【発明が解決しようとする課題】 上述したような埋め込み素子分離法における埋め込み膜の平坦化工程には以下のようないわゆる問題があった。多結晶シリコン膜を研磨障壁層

として用いる研磨法は、厚い膜厚を短時間でエッティングできる生産性の高い方法であるが、例えば埋め込み絶縁膜として用いるシリコン酸化膜との間の選択比が大きくなれないために、エッチバックを制御して研磨障壁層の多結晶シリコン膜3、8を完全に研磨してしまう前にエッティングをとめるのが困難であった。この場合、多結晶シリコン膜3の膜厚を厚くしても、素子分離領域上にできる溝の実質的な深さが大きくなるので、シリコン酸化膜7の埋め込みが更に困難になる。また、研磨障壁層（ストッパー）としての多結晶シリコン膜3、8の形成には長大な時間を要する。さらに、研磨工程後に残存するストッパーの多結晶シリコン膜3、8をエッティング除去する工程も長時間を要するようになり、その際にこの多結晶シリコン膜3とシリコン基板1との間のシリコン熱酸化膜2が残存するように上記シリコン熱酸化膜2の膜厚を厚くする必要があり、この熱酸化膜2の除去工程で素子分離領域に埋め込んであるシリコン酸化膜7が大きく膜べりしてしまうなどの問題があった。本発明は上記実情を鑑みて為されたものであり、上記問題点を解決し、良好な形状を備えた素子分離領域を形成することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために本発明は、半導体基板上の素子領域形成部上に炭素膜を選択的に形成するとともに、この炭素膜の露出面を耐酸化性膜で被覆する工程と、前記半導体基板に素子分離領域となる溝を形成する工程と、前記溝の内面に熱酸化膜を形成する工程と、前記炭素膜の側壁の耐酸化性膜を除去する工程と、前記溝を埋め込むように全面に埋め込み膜を形成する工程と、前記炭素膜を研磨障壁層として、前記埋め込み膜を研磨により素子分離領域の溝に残存せしめる工程と、前記炭素膜を除去する工程とを有する半導体素子の素子分離方法を提供する。

【0012】ここで、前記素子領域形成部上に炭素膜を選択的に形成するとともに、この炭素膜の露出面を耐酸化性膜で被覆する工程は、半導体基板上の全面に炭素膜を形成する工程と、この炭素膜の全面に耐酸化性膜を形成する工程と、前記炭素膜及び耐酸化性膜を素子領域形成部上に選択的に残存せしめる工程と、全面に耐酸化性膜を形成した後、異方性エッティングにより該耐酸化性膜をエッティングし、前記炭素膜の側壁に該耐酸化性膜を残存せしめる工程とを有すると良い。

【0013】望ましくは、前記炭素膜の露出面を被覆する前記耐酸化性膜として、少なくとも硅素と空素とを含有する膜を用いると良い。また、前記素子分離領域に形成された溝の溝幅が3μm以上であり、この溝上に研磨障壁層として炭素膜をさらに選択的に形成すると良い。さらに、前記炭素膜を除去する工程を酸素を含有する雰囲気中で行うと良い。なお、前記酸素を含有する雰囲気には、水蒸気を含有するとさらに良い。

【0014】

【作用】本発明により埋め込み素子分離領域を形成すると、良好な形状を有する素子分離領域を形成することが可能である。すなわち、炭素膜はシリコン酸化膜との研磨レート比を20以上にすることが可能であり、研磨によるエッティングを所望の位置で停止することが可能である。しかも金属汚染の問題も炭素膜をストッパーに使用する場合は問題にならない。

【0015】また、炭素膜は酸化性雰囲気中で燃焼させて除去することが可能であり、平坦化後容易にこれを選択的に除去することが可能である。特にシリコン酸化膜の埋め込みの場合、シリコン酸化膜を熱処理により緻密化させる工程が必要である。緻密化工程は水蒸気等を含む酸化性雰囲気中で行うより効果的であり、この埋め込みシリコン酸化膜の緻密化工程で同時に研磨障壁層としての炭素膜を燃焼させて除去することが可能である。

【0016】一方、炭素膜が燃焼で容易に除去できることから、逆に研磨障壁層である炭素膜が研磨工程以前の高温の工程で酸化されて除去されてしまうことが問題になる。しかし、本発明では炭素膜の露出面に耐酸化性を有する膜、例えばシリコン窒化膜を成膜することで、炭素膜が酸化されることを抑制している。このような炭素膜の表面における耐酸化性膜の成膜は、炭素膜の酸化防止のほかに、良好な素子分離形状を実現し、素子特性を向上させるという利点がある。

【0017】この素子特性の向上について以下に説明する。まず、多結晶シリコン等を研磨障壁層とした研磨によって、埋め込み絶縁膜の平坦化を行う従来技術の問題点を図5を用いて説明する。

【0018】埋め込み素子分離の埋め込み絶縁膜平坦化において多結晶シリコン膜あるいはシリコン窒化膜等を研磨障壁層22として埋め込み絶縁膜21の研磨を行うと、研磨直後の素子分離領域の形状は図5(a)のような形状になる。ここで研磨障壁層22を除去後、半導体基板20上のシリコン熱酸化膜23を沸騰アンモニウム水溶液中でエッティングして除去すると、通常、埋め込み絶縁膜21であるシリコン酸化膜は、緻密化工程を経ても沸騰系のウエットエッティング液中でのエッティングレートはシリコン熱酸化膜23のエッティングレートよりも大きいために、素子分離領域は図5(b)のように半導体基板20の表面よりも落ち込んだ形状となり、この形状で素子領域にゲート酸化膜24を形成し、ゲート電極25を形成すると素子領域の端部である溝開口部の角をゲート電極25が囲んだ形状になるために、溝開口部の角に電界集中が発生する。このためトランジスターのサブスレッショルド特性にキックが発生してリーク電流の原因になる等の問題がある(図5(c))。

【0019】これに対して、本発明のように炭素膜を研磨障壁層とする方法の場合を図3を用いて説明する。本発明の方法では、研磨障壁層22としてシリコン酸化膜

に対して大きな選択比をとれる炭素膜を形成し、その側壁に耐酸化性膜を形成し、これを埋め込み絶縁膜であるシリコン酸化膜21を形成する前に除去するので、シリコン酸化膜を埋め込んでから機械研磨した直後の素子分離領域の形状は図3(a)のような形状になる。ここで研磨障壁層22を除去してから、半導体基板20上のシリコン熱酸化膜23を除去した後、ゲート酸化膜24、ゲート電極25を形成すると素子分離領域の形状は図3(b)のような形状になる。この形状では溝開口部の角はシリコン酸化膜21で包まれており、素子領域に電界集中が生じる部分は発生しない。このためトランジスターのサブスレッシュホールド特性にキックが発生せずにリーク電流は大幅に減り、良好な素子特性を得ることができる(3(c))。

【0020】なお、シリコン酸化膜に対して大きな選択比をとれる研磨障壁層として、例えば窒化チタン、タンゲステンシリサイド膜等の金属を成分に含む膜をあげられるが、このような金属を成分に含む膜を埋め込み素子分離法の平坦化工程として採用する場合、以下のような問題がある。すなわち、埋め込み素子分離領域は半導体装置の素子製造工程以前に製造されるために、埋め込み素子分離領域の製造に際する金属汚染等を抑制する必要があり、上記した金属を成分に含む膜を研磨障壁層として用いるのは困難である。

【0021】

【実施例】以下に本発明の半導体素子の素子分離方法の一実施例を図1を参照して説明する。シリコン基板1上にシリコン熱酸化膜2を20nmの膜厚で形成する。次に、スパッタ法により炭素膜10を、アルゴン雰囲気中で圧力 10^{-4} Torr、基板温度350℃の条件で膜厚100nmで、LPCVDによりシリコン空化膜11を、圧力0.5~1.0Torr、温度750~850℃の条件下で、20nmの膜厚で成膜し、さらに通常の常圧CVD法によりシリコン酸化膜4を膜厚400nmで成膜する。但し前記シリコン空化膜11の成膜にあたっては、シリコン空化膜LPCVDの材料ガスであるジクロルシランとアンモニアの流量比を0.1とし、窒素のシリコンに対する組成比は約1.3とする。

【0022】次に、前記シリコン酸化膜4上にポジレジスト12を1μmに塗布する。次に、周知のリソグラフィ技術により前記ポジレジスト12をパターニングすることにより、前記シリコン基板1の素子領域となる部分の上部にのみポジレジスト12を残存させる(図1(a))。

【0023】次に、前記ポジレジスト12をマスクとして、前記シリコン酸化膜4、シリコン空化膜11、炭素膜10をこの順序に反応性イオンエッティングにより異方性エッティングする。例えば、シリコン酸化膜4及び炭素膜10は、 CF_4 と O_2 の混合ガスで、シリコン空化膜11は、 CF_4 ガス又は CHF_3 と CO との混合ガスで

エッティングを行うと良い。特に上記炭素膜10のエッティングにおいては、下地のシリコン熱酸化膜2が露出しないように、オーバーエッティングを行わない条件でエッティングを止めることとする(図1(b))。この図1(b)では、上記炭素膜10の一部を薄くシリコン酸化膜2の上に残存させたものを示してある。

【0024】次に、例えば、熱濃硫酸と過酸化水素水との混合液中で前記ポジレジスト12を除去する。なお、本実施例では酸等によりポジレジスト12を除去したが、この除去工程を酸素及び四弗化炭素を用いた化学的ドライエッティングにより行うことも可能である。この工程で、上記した残存した炭素膜10を同時に除去することも可能である。

【0025】次に、前記シリコン酸化膜4をマスクとして、前記炭素膜10の残膜を例えば、酸素プラズマ雰囲気中にてエッティングする。このように、前記炭素膜10の大部分をポジレジスト12をマスクとして異方的にエッティングすることにより良好な加工形状を得ることができ、またその後のオーバーエッティングにおいてシリコン酸化膜4をマスクとして残存炭素膜10をエッティングすることにより、シリコン熱酸化膜2のエッティング量を抑えることができ、シリコン熱酸化膜2を従来に比べ薄膜化することが可能である。なお、炭素膜10を酸素プラズマ雰囲気などでエッティングする場合には、該炭素膜10を一度にエッティングすることも可能である。

【0026】次に、全面にLPCVD法によりシリコン空化膜13を圧力0.5~1.0Torr、温度750~850℃の条件下で、25nmの膜厚で成膜する。但し前記シリコン空化膜11の成膜にあたっては、シリコン空化膜LPCVDの材料ガスであるジクロルシランとアンモニアの流量比を0.1とし、窒素のシリコンに対する組成比は約1.3とする。次に、前記シリコン酸化膜4、シリコン空化膜11、炭素膜10の側面にのみ残存せしめる(図1(c))。本実施例では、炭素膜10の露出面に耐酸化性を有するシリコン空化膜11を成膜することで、炭素膜10が酸化されることを抑制している。このような炭素膜10の表面におけるシリコン空化膜11の成膜は、炭素膜10の酸化防止のほかに、良好な素子分離形状を実現し、素子特性を向上させるという利点があるのは作用で述べた通りである。

【0027】次に、前記シリコン酸化膜4、及びシリコン空化膜13をマスクとして反応性イオンエッティングによってシリコン熱酸化膜2及びシリコン基板1をエッティングして、シリコン基板1に深さ500nmの素子分離領域5となる溝を形成する。さらに、この溝の内面にシリコン熱酸化膜6を20nmの膜厚で形成する(図1(d))。

【0028】このシリコン熱酸化膜6を形成する工程において、炭素膜10の側面をシリコン空化膜11が被覆

しているので、炭素膜10は酸化されず保護される。次に、熱磷酸中で前記シリコン空化膜13を除去し、さらに、LPCVD法によりシリコン酸化膜7を全面に550nmの膜厚で堆積させる(図1(e))。

【0029】次に、前記シリコン酸化膜7上に炭素膜14を膜厚100nmでスパッタ法により形成する。この炭素膜14上にポジレジスト1μmを塗布した後、前記素子分離領域5となる溝のうち、特に溝幅が3μm以上の溝9内に形成されるシリコン酸化膜7上にのみ、前記ポジレジストを周知のリソグラフィ技術によりバーニングして残存せしめる。次に、前記ポジレジストをマスクとして反応性イオンエッティングによって炭素膜14をエッティングする。この炭素膜14上のポジレジストは熱濃硫酸と過酸化水素水との混合液中で除去する(図1(f))。

【0030】次に、前記炭素膜10及び14をエッティングの研磨障壁層として、また、研磨剤として、例えば酸化セリウムを用いて、前記シリコン酸化膜4及び7、シリコン空化膜11を研磨する(図1(g))。残存している前記研磨剤は濃硫酸等により除去する。本実施例でストッパーとして用いられている炭素膜はシリコン酸化膜との研磨レート比を20以上にすることが可能であり、研磨によるエッティングを所望の位置で停止することが可能である。

【0031】次に、650℃の水蒸気及び酸素を含有する雰囲気中で30分間の熱処理を行い、続いて1050℃の窒素雰囲気中で30分間の熱処理を行う。この熱処理によって前記シリコン酸化膜7を緻密化すると同時に、前記炭素膜10及び14を燃焼させて除去することが可能であり、工程数の減少が図れる。さらに、弗化アンモニウム水溶液中でシリコン熱酸化膜2を除去して、素子分離領域5にのみシリコン酸化膜7を残存させて素子分離領域5を形成する(図1(h))。

【0032】上記は本実施例によれば、作用において述べたように、良好な形状を有する素子分離領域を形成することが可能である。以下に本発明の半導体素子の素子分離方法の他の実施例を図2を参照して説明する。

【0033】シリコン基板1上にシリコン熱酸化膜2を35nmに形成する。次に、スパッタ法により炭素膜3を膜厚200nmで、さらにLPCVDによりシリコン空化膜11を、圧力0.5~1.0Torr、温度750~850℃の条件下で、膜厚400nmで成膜する。但し前記シリコン空化膜11の成膜にあたっては、シリコン空化膜LPCVDの材料ガスであるジクロルシランとアンモニアの流量比を4とした成膜応力の低いシリコン空化膜とする。窒素のシリコンに対する組成比は約0.9とする(図2(a))。

【0034】次に、前記シリコン空化膜11上にポジレジスト1μmを塗布する。次に、周知のリソグラフィ技術により前記ポジレジストをバーニングすることによ

り、前記シリコン基板1の素子領域となる部分の上部にのみポジレジストを残存させる。

【0035】その後、前記ポジレジストをマスクとして、前記シリコン空化膜11、炭素膜10をこの順序に反応性イオンエッティングにより異方性エッティングする。次に、熱濃硫酸過酸化水素水混合液中で前記ポジレジストを除去する。なお、本実施例では酸等によりポジレジストを炭素膜10に対して選択的に除去したが、この除去工程を酸素及び四弗化炭素を用いた化学的ドライエッティングにより行うことも可能である。また、実施例1に示すように炭素膜のエッティング除去を2段階で行うことなうことも可能である。

【0036】次に、全面にLPCVD法によりシリコン空化膜13を膜厚25nmで成膜し、このシリコン空化膜13の全面を異方性エッティングして、シリコン空化膜11、炭素膜10の側面にのみ前記空化膜13を残存せしめる(図2(b))。

【0037】その後、前記シリコン空化膜11及び13をマスクとして反応性イオンエッティングによってシリコン熱酸化膜2及びシリコン基板1をエッティングして、シリコン基板1に深さ500nmの素子分離領域5となる溝を形成する。さらに、前記溝内面にシリコン熱酸化膜6を膜厚35nmで形成する(図2(c))。

【0038】次に、熱磷酸中で前記シリコン空化膜13を除去した後、LPCVD法によりシリコン酸化膜7を全面に550nmの膜厚で堆積させる。さらに、前記シリコン酸化膜7上に炭素膜14を膜厚が170nmとなるようにスパッタ法により形成する。次に、前記炭素膜14上にポジレジスト1μmを塗布し、前記素子分離領域となる溝のうち、特に溝幅が3μm以上の溝9内に形成されるシリコン酸化膜7上にのみ、前記ポジレジストを周知のリソグラフィ技術によりバーニングして残存せしめる。さらに、前記ポジレジストをマスクとして反応性イオンエッティングにより炭素膜14をエッティングする。炭素膜14上のポジレジストは熱濃硫酸と過酸化水素水との混合液中で除去する(図2(d))。

【0039】次に、前記した第1の実施例と同様に、研磨剤として、例えば酸化セリウムを用い、前記炭素膜10及び14をエッティングの研磨障壁層として、前記シリコン酸化膜7及びシリコン空化膜11を研磨する(図2(e))。残留している研磨剤は強酸等により除去する。

【0040】次に、650℃の水蒸気及び酸素を含有する雰囲気中で30分間の熱処理を行い、続いて1050℃の窒素雰囲気中で30分間の熱処理を行う。この熱処理によって前記第1の実施例と同様に前記シリコン酸化膜7を緻密化させるとともに、前記炭素膜10及び14を燃焼させて除去する。さらに、弗化アンモニウム水溶液中でシリコン熱酸化膜2を除去して、素子分離領域5にのみシリコン酸化膜7を残存させて素子分離領域5を

形成する(図2(f))。

【0041】本実施例においても第1の実施例と同様の効果が得られるほか、シリコン窒化膜11を厚く形成するので、炭素膜10の保護がより確実になり、さらにシリコン酸化膜4を省くことで工程数を減らすことができる。

【0042】なお、上記実施例1及び2において、素子分離領域に形成されるシリコン熱酸化膜6は、膜厚が10~40nmの範囲内であることが、エッチングによるダメージの除去及び埋め込み膜の界面保護のために最も望ましい。

【0043】また、埋め込み膜としてのシリコン酸化膜7は、膜が溝内に残置されればよいので、膜厚は、例えば500~800nmの範囲内であれば構わない。さらに、耐酸化性膜として、シリコン窒化膜のほかにシリコン窒化酸化膜のようなS1とOとNを含む膜等を用いても良い。

【0044】さらにまた、本発明における炭素膜には、H、N、S1等の不純物が含まれた炭素膜等も含まれる。その他、本発明の要旨を逸脱しない範囲で種々変形して実施することができる。

【0045】

【発明の効果】以上説明したように本発明によれば、素子分離のための埋め込み絶縁膜を平坦化する工程において、研磨の研磨障壁層として炭素膜を用いることにより、研磨の良好な制御性を確保すると共に、良好な素子特性を得ることのできる素子分離形状を実現することができる。

【図面の簡単な説明】

【図1】 本発明による半導体素子の素子分離方法の第

10

1の実施例を示す工程断面図。

【図2】 本発明による半導体素子の素子分離方法の第2の実施例を示す工程断面図。

【図3】 本発明による半導体素子の素子分離方法での埋め込み素子分離領域の断面図。

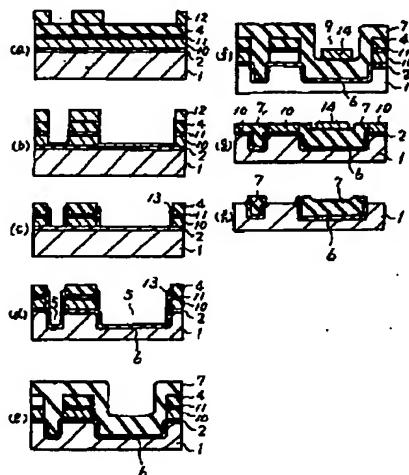
【図4】 平坦化工程において多結晶シリコン膜を研磨障壁層として研磨エッチバック法を行う従来の埋め込み素子分離法の工程断面図。

【図5】 従来方法による埋め込み素子分離領域の断面図。

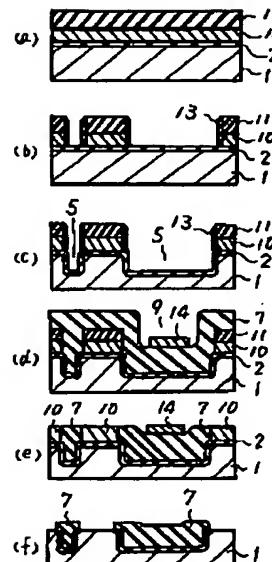
【符号の説明】

| | |
|----|----------|
| 1 | シリコン基板 |
| 2 | シリコン熱酸化膜 |
| 3 | 多結晶シリコン膜 |
| 4 | シリコン酸化膜 |
| 5 | 素子分離領域 |
| 6 | シリコン熱酸化膜 |
| 7 | シリコン酸化膜 |
| 8 | 多結晶シリコン膜 |
| 9 | 3μm以上の溝 |
| 10 | 炭素膜 |
| 11 | シリコン窒化膜 |
| 12 | ポジレジスト |
| 13 | シリコン窒化膜 |
| 14 | 炭素膜 |
| 21 | 絶縁膜 |
| 22 | 研磨障壁層 |
| 23 | シリコン熱酸化膜 |
| 24 | ゲート酸化膜 |
| 25 | ゲート電極 |

【図1】

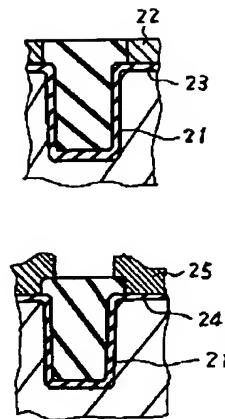


【図2】

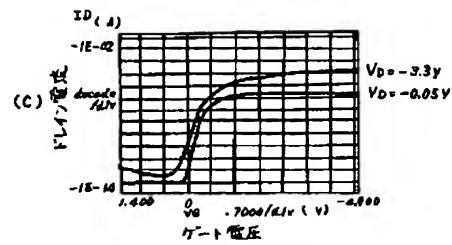


(a)

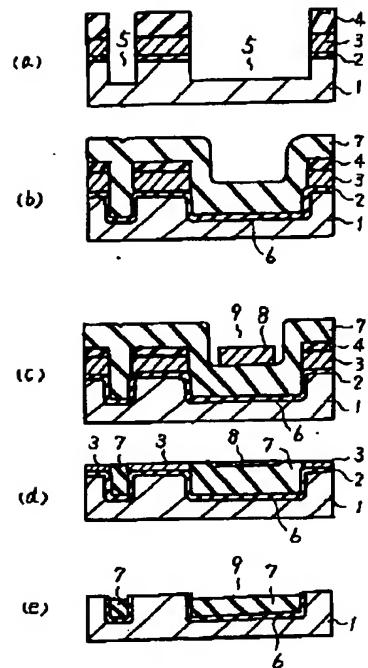
【図3】



(b)



【図4】



(a)

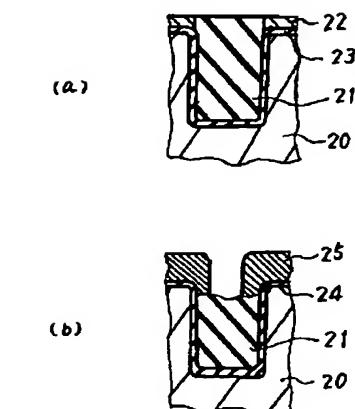
(b)

(c)

(d)

(e)

【図5】



(a)

(b)

